

Beschreibung:

SIB.541.00



- **Serielle Interface-Baugruppe**
- **INTERBUS**
- **LED-Zustandsanzeigen**
- **externe Spannungsversorgung 24 VDC**

Serielle Sensor-/Aktorbus-Geräteschnittstelle, INTERBUS, zur Verbindung von Sensoren und Aktoren mit einer Mikroprozessorsteuerung und miteinander.

Ausführung mit externer Spannungsversorgung, sowie mit 4 LED-Zustandsanzeigen für INTERBUS Status, sowie Software für interne Kommunikation mit dem PLM System. Anschluß der INTERBUS-Baugruppe im PLM-System nur als Slave.

Aufbau der Baugruppe mit 4 TE breiter Teilfrontplatte, sowie Beschriftungsfeld (17 x 5 mm) für jede LED als Einschub für Baugruppenträger im System PLM 500.

Konfiguration:

J101 Wahl des externen Chip-Selects
S101 Karten-Select KS

Basisadresse für Peripheriekarten bei 68340-CPU: 80000000H
Basisadresse für Peripheriekarten bei 80C537-CPU: FF00H

Die nachfolgenden Adressen sind Offsets, die über DIP-Schalter S101 einzustellen sind, zu den oben angegebenen Basisadressen addiert werden müssen und somit die Baugruppe selektieren.

Adresse	80C537	68340
S101:1=	00H	0000H
S101:2=	20H	0040H
S101:3=	40H	0080H
S101:4=	60H	00C0H
S101:5=	80H	0100H
S101:6=	A0H	0140H
S101:7=	C0H	0180H
S101:8=	E0H	01C0H

Bemerkung:

S101:1 darf **nicht** verwendet werden, da in diesem Adressbereich die festgelegte Peripherie wie LC-Display, Tastatur und Uhr liegt. Bei DIP-Schalter S101 darf immer nur **ein** Schalter eingeschaltet werden! In den mit S101 vorgewählten Adressbereichen können jeweils 8 digitale Ein- Ausgangsbaugruppen adressiert werden.

Über Jumper J102 kann die Baugruppenadresse unterteilt werden:

J102 (Pin2-3) ⇒ Adresse + 00H
J102 (Pin1-2) ⇒ Adresse + 20H

Konfiguration der MFP-Schnittstelle mit DIP-Schalter S201

S201				Betriebsart MFP
9	8	7	6	
1	0	0	0	Busklemme 8-Leiter-Peripheriebus
0	0	1	1	Busklemme I/O mit 8-Leiter-Peripheriebus
0	0	0	0	Busklemme 2-Leiter-Stichleitung
0	1	0	0	Busklemme I/O mit 2-Leiter-Stichleitung
1	0	0	1	16-Bit Output
1	0	1	0	16-Bit Input
1	1	0	1	8-Bit Input und 8-Bit Output
0	0	0	1	µP-Interface 1 Byte
1	0	1	1	µP-Interface 2 Byte
1	1	1	1	µP-Interface 4 Byte
1	1	0	0	µP-Interface 6 Byte
0	0	1	0	µP-Interface 8 Byte

ID-Codes Datenlänge mit DIP-Schalter S201

S201					Datenbreite
5	4	3	2	1	
0	0	0	0	0	0 Worte
0	0	0	0	1	1 Wort
0	0	0	1	0	2 Worte
0	0	0	1	1	3 Worte
0	0	1	0	0	4 Worte
0	0	1	0	1	5 Worte
0	0	1	1	0	8 Worte
0	0	1	1	1	9 Worte
0	1	0	0	0	1 Nibble
0	1	0	0	1	1 Byte
0	1	0	1	0	3 Nibble
0	1	0	1	1	3 Byte
0	1	1	0	0	nicht unterstützt
0	1	1	0	1	nicht unterstützt
0	1	1	1	0	6 Worte
0	1	1	1	1	7 Worte
1	0	0	0	0	reserviert
1	0	0	0	1	26 Worte
1	0	0	1	0	16 Worte
1	0	0	1	1	24 Worte
1	1	1	0	0	32 Worte
1	1	1	0	1	10 Worte
1	1	1	1	0	12 Worte
1	1	1	1	1	14 Worte
1	1	x	x	x	reserviert

Bedeutung der LED's

- Us Das IBS UNI DIOS wird mit einer Spannung von +5 V ±7,5 % versorgt.
- RC Es besteht eine physikalische Verbindung zu einem aktiven Master.
- BA Zwischen Master und Slave werden Datentelegramme ausgetauscht.
- RD Die weiterführende Schnittstelle ist durch den Master nach einer Störung abgeschaltet worden. Entspricht Signal RBDA

Die Konfiguration des ID-Code erfolgt über DIP-Schalter S202.

Technische Daten:

Versorgungsspannung

24 VDC extern

Stromaufnahme

ca. 420 mA

Statusanzeigen

4 LED's für Us, RC, BA, RD

Betriebstemperatur

0...+45 °C

Lagertemperatur

-10...+70 °C

Luftfeuchtigkeit

max. 85 % ohne Kondensatbildung

Schutzart

IP 00

Aufbau

Baugruppe mit Teilfrontplatte ALU eloxiert

Abmessungen

B x H x T : 20,2 (4 TE) x 198 x 109 mm

Gewicht

ca. 200 g

Montage

Baugruppenträger PLM 500

Bestellbezeichnung:

Serielle Interface-Baugruppe INTERBUS

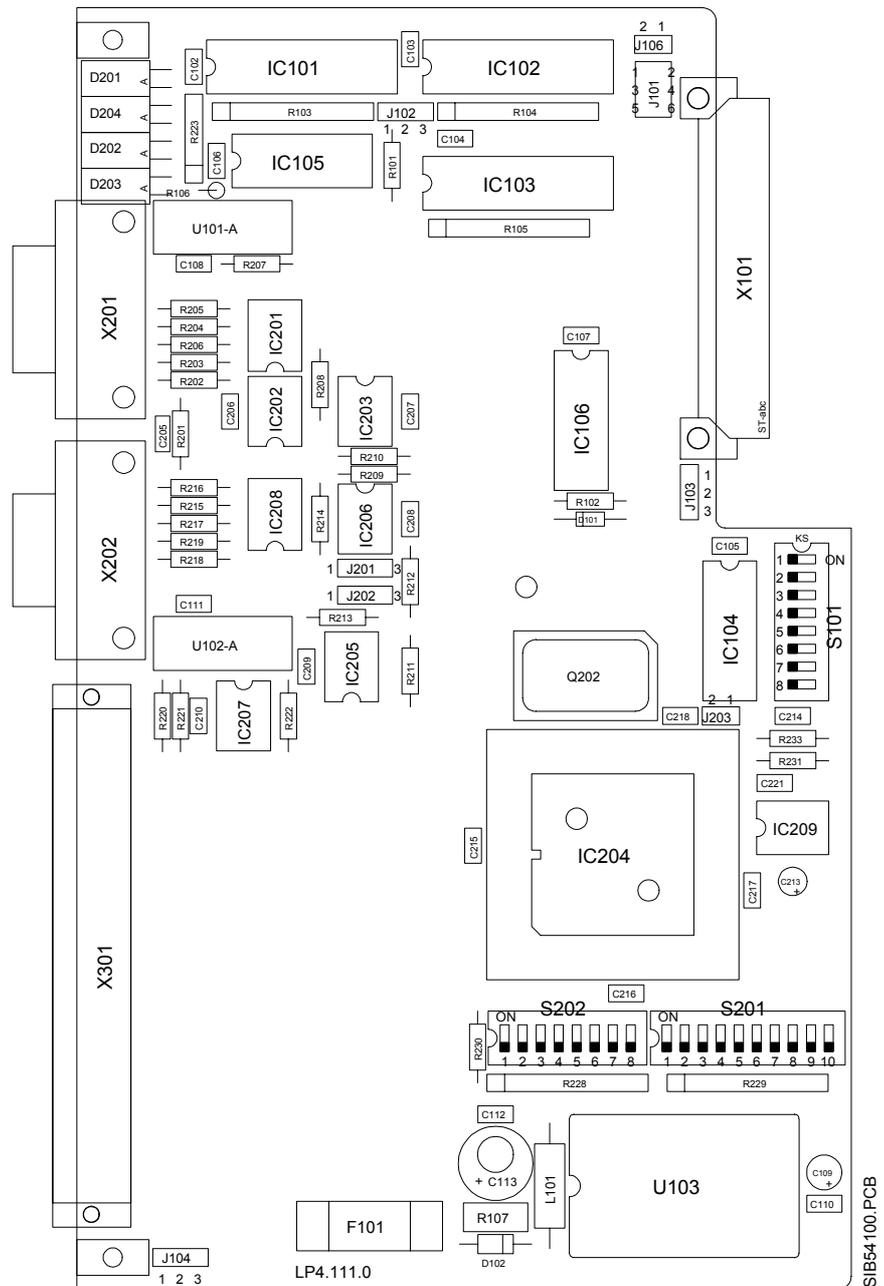
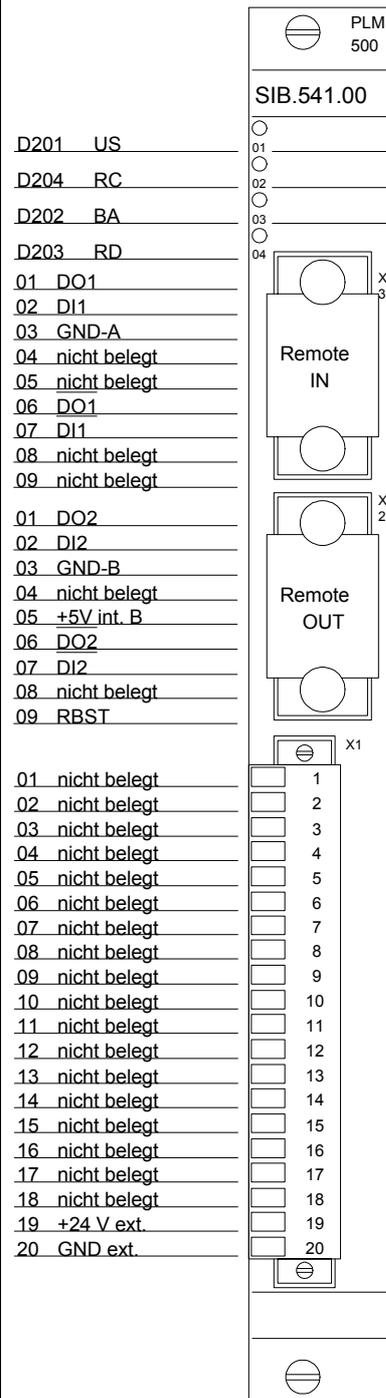
Artikel-Nr.:

SIB.541.00

Anschlußplan:

Bestückungsplan:

SIB.541.00



Jumper - Konfiguration:

J101 Wahl des externen Chip-Selects
 J101 (Pin 1-2) ⇒ /CE1
 (Pin 3-4) ⇒ /CE2
 (Pin 5-6) ⇒ /CE3

J106 (Pin 1-2) ⇒ geschlossen, wenn Spannungsversorgung über Systembus
 (Pin 1-2) ⇒ offen bei externer Spannungsversorgung

J102 wird benötigt, um zwei Baugruppen auf denselben Chip-Select zu adressieren. Standardmäßig ist Pin 2-3 gesteckt.

J102 (Pin 1-2) ⇒ Chip-Select Adressierung
 (Pin 2-3) ⇒ Chip-Select Adressierung

J203 (Pin 1-2) ⇒ offen, wenn Erweiterung 8 Ein- und 8 Ausgänge
 (Pin 2-3) ⇒ geschlossen, ohne Erweiterung

J103 wird für die Interrupt-Leitungen /IRQ-A und /IRQ-B benötigt. Standardmäßig ist J103 offen.

J103 (Pin 1-2) ⇒ /IRQ-A auf IC103:2
 (Pin 2-3) ⇒ /IRQ-B auf IC103:2

J104 (Pin 1-2) ⇒ Frontplatte auf Masse
 (Pin 2-3) ⇒ ohne Funktion

J201 (Pin 1-2) ⇒ darf nicht gesteckt werden
 (Pin 2-3) ⇒ darf nicht gesteckt werden

J202 (Pin 1-2) ⇒ darf nicht gesteckt werden
 (Pin 2-3) ⇒ darf nicht gesteckt werden